

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-321045
(43) Date of publication of application : 12.12.1997

(51) Int.CI. H01L 21/3205
H01L 21/28

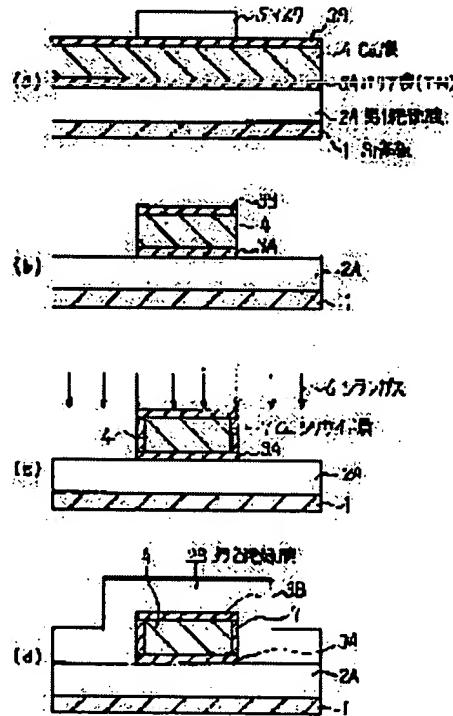
(21) Application number : 08-137144 (71) Applicant : NEC CORP
(22) Date of filing : 30.05.1996 (72) Inventor : MIKAGI IKU

(54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent increase of resistance of Cu wiring and deterioration of reliability.

SOLUTION: A first insulating layer 2A is formed on a Si substrate 1. A laminated wiring consisting of barrier films 3A and 3B and a Cu film 4 between them is formed on the first insulating layer 2A. Then, the wiring is exposed to a diluted silane gas 6 while being heated in a low pressure chamber to selectively form a Cu silicide layer 7 only on a part of the wiring on which Cu is exposed. A second insulating layer 2B is formed on the Cu silicide layer 7.



LEGAL STATUS

[Date of request for examination] 30.05.1996
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 2809196
[Date of registration] 31.07.1998
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-321045

(43)公開日 平成9年(1997)12月12日

(51)Int.Cl. [®] H 01 L 21/3205 21/28	識別記号 301	序内整理番号 F I H 01 L 21/88 21/28	技術表示箇所 M 301Z
---	-------------	--	---------------------

審査請求 有 請求項の数10 O L (全 8 頁)

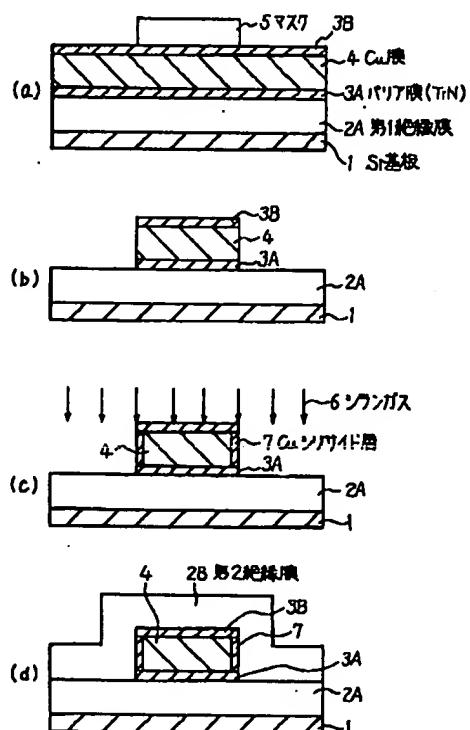
(21)出願番号 特願平8-137144	(71)出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日 平成8年(1996)5月30日	(72)発明者 三ヶ木 郁 東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 Cu配線の抵抗が増大し、信頼性が低下する。
【解決手段】 Si基板1上に設けられた第1絶縁膜2A上にパリア膜3A, 3BにはさまれたCu膜4からなる積層構造の配線を形成した後、低圧チャンバー内で加熱しながら希釈したシランガス6にさらし、配線のうちの銅が露出した部分のみにCuシリサイド層7を選択的に形成する。次でその上層に第2絶縁膜2Bを形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に設けられた第1絶縁膜と、前記第1絶縁膜上に順次設けられた第1導電膜と第2導電膜および前記銅膜の側面に設けられた銅珪素化合物層より構成される配線と、前記第1絶縁膜および前記配線の上に設けられた第2絶縁膜とを含む事を特徴とする半導体装置。

【請求項2】 半導体基板上に設けられた第1絶縁膜と、前記第1絶縁膜に形成された配線溝と、前記配線溝中に設けられた銅膜と前記銅膜の底部および側壁部に設けられた第1導電膜および前記銅膜の表面に設けられた銅珪素化合物層より構成される配線と、前記第1絶縁膜および前記配線上に設けられた第2絶縁膜とを含む事を特徴とする半導体装置。

【請求項3】 半導体基板上に第1絶縁膜を形成する工程と、前記第1絶縁膜上に第1導電膜と銅膜と第2導電膜を順次形成する工程と、前記第2導電膜と前記銅膜及び前記第1導電膜をパターニングし配線を形成する工程と、前記配線の側壁部の露出した銅膜表面を銅珪素化合物にする工程と、前記第1絶縁膜および前記配線上に第2絶縁膜を形成する工程とを有する事を特徴とする半導体装置の製造方法。

【請求項4】 半導体基板上に第1絶縁膜を形成する工程と、前記第1絶縁膜に配線溝を形成する工程と、前記配線溝上を含む全面に第1導電膜および銅膜を順次形成し、前記配線溝を埋める工程と、前記配線溝外部の前記第1導電膜および前記銅膜を除去し前記第1導電膜および前記銅膜より構成される配線を形成する工程と、前記配線の上部の露出した銅膜表面を銅珪素化合物層にする工程と、前記銅珪素化合物層表面を含む全面に第2絶縁膜を形成する工程とを有する事を特徴とする半導体装置の製造方法。

【請求項5】 第1導電膜が、チタン(Ti)、バナジウム(V)、クロム(Cr)、ジルコニウム(Zr)、ニオブ(Nb)、モリブデン(Mo)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)や、これらの珪化物、ホウ化物、窒化物、炭化物およびこれらを含有する合金より構成される単層膜である請求項1又は請求項2記載の半導体装置。

【請求項6】 第1導電膜が、TiとTiの窒素化合物あるいはTiとTiのホウ素化合物からなる2層の膜である請求項1又は請求項2記載の半導体装置。

【請求項7】 第2導電膜が、チタン(Ti)、バナジウム(V)、クロム(Cr)、ジルコニウム(Zr)、ニオブ(Nb)、モリブデン(Mo)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)や、これらの珪化物、ホウ化物、窒化物、炭化物およびこれらを含有する合金より構成される単層膜である請求項1記載の半導体装置。

【請求項8】 第2導電膜が、TiとTiの窒素化合物

10

あるいはTiとTiのホウ素化合物からなる2層の膜である請求項1記載の半導体装置。

【請求項9】 銅珪素化合物は、銅と珪素を含有するガスとの反応により形成される請求項3又は請求項4記載の半導体装置の製造方法。

【請求項10】 硅素を含有するガスがモノシランあるいはジシランである請求項9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、特に銅配線を有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】 LSIの微細化・高集積化に伴い、低抵抗でエレクトロマイグレーション耐性の高い銅(Cu)の配線が用いられるようになってきている。銅配線を用いた第1の従来例としては、ノブヨシ アワヤ、ヨシノブ アリタ (Nobuyoshi Awaya and Yoshinobu Arita) によりジャーナルオブ エレクトロニック マテリアルズ (Journal of Electronic Materials) Vol. 21, No. 10, 1992, pp 959-954) に報告されたものがある。以下図3に示した断面図を用いて説明する。

【0003】 まず図3(a)に示すように、シリコン(Si)基板11上に形成され、銅(以下Cu)に対するバリア性とCuの酸化防止能力の高いSi窒化膜12Aの上層に、Cuの拡散防止と下地との密着性改善を目的としたクロム(Cr)より構成されるバリア膜3AとCu膜4及びCrより構成されるバリア膜3Bを形成し、パターニングして3つの導電層よりなる配線を形成する。

【0004】 次に図3(b)に示すように、配線の上層にSi窒化膜12Bを形成し、Cu配線の耐酸化性、耐食性、密着性を改善するものである。

【0005】 一方、竹脇らはCu配線周囲の耐酸化性を高める構造とその製法を示している(1995年電子情報通信学会エレクトロニクスソサイエティ大会講演論文集2、講演番号C-418、pp 115-116)。以下この製造方法を第2の従来例とし、図4の断面図を用いて説明する。

【0006】 まず図4(a)に示すように、Si基板11上にSi酸化膜より構成される第1絶縁膜14を形成したのち、その上にCu膜4より構成される配線を形成する。続いてSi基板11を加熱しながらモノシラン(SiH4)ガス6に曝して、CuとSiH4ガス中のSiを反応させ、図4(b)に示すように、配線の周囲にCuシリサイド層(Cu_xSi_y)7を形成し、このCuシリサイド層7によりCuの酸化を防止している。

20

30

40

50

【0007】また、宮崎らはCu配線上への層間絶縁膜形成時のCuの酸化を防止する手法を提唱している(1995年電子情報通信学会エレクトロニクスソサイエティ大会講演論文集2、講演番号C-419、pp117-118)。以下この方法を第3の従来例として図5の断面図を用いて説明する。

【0008】まず図5(a)に示すように、Si基板11上に形成されたPSG膜より構成される第1絶縁膜14上に、タンゲステン(W)より構成されるバリア膜13AとCu膜4及びWより構成されるバリア膜13Bを順次形成し、絶縁膜をエッチングマスク(図示せず)とし、四塩化シリコン(SiCl₄)+窒素(N₂)+酸素(O₂)の混合ガスをエッチングガスとした、250℃の高温での反応性イオンエッチング法により、上述の3つの導電層を順次エッチングしてW膜、Cu膜、W膜の積層膜より構成されるCu配線を形成する。

【0009】次に図5(b)のごとく、テトラ・エトキシ・シラン(Tetra-Ethoxy-Silane、以下TEOSと記す)+O₂混合ガスを用いたプラズマCVD法により、Cu配線上にSi酸化膜であるプラズマTEOS酸化膜15を形成するものである。

【0010】この高温の反応性イオンエッチング工程ではCu配線側壁部にシリコン酸化膜系の側壁保護膜が形成され、さらにTEOS存在下ではCuの酸化が非常に遅いため、絶縁膜形成時のCuの酸化は実用上問題とはならないとしている。

【0011】一方岡部らは、Cuを酸化させずにCu膜の表面に自己整合的にSi酸化膜を形成する方法を明らかにしている(1993年秋季応用物理学会学術講演会29p-ZE-5)。以下この方法を第4の従来例とし図6を用いて説明する。

【0012】まず図6(a)のように、Si基板11上に形成した第1絶縁膜14の上に合金ターゲットを用いたスパッタ法により、CuにSiが1.0~5.0重量%含まれたCu-Si合金膜4Aを500nmの厚みで形成する。

【0013】次に図6(b)のごとく、Si基板11をN₂-7ppmO₂雰囲気中で500℃1時間の熱処理を行ってCu-Si合金膜4A中のSiを外方拡散させ、Cu-Si合金膜表面でO₂と反応させることによってCuを酸化させる事なくCu-Si合金膜表面にSi酸化膜16を形成するものである。

【0014】

【発明が解決しようとする課題】上述した第1の従来例の半導体装置は、Si窒化膜をCu配線の上下に形成している為、Cuの酸化、Cuの拡散、Cuの腐食のすべてを防止する事ができる。

【0015】しかしSi窒化膜の比誘電率はSi酸化膜よりも2倍近く大きいため、層間絶縁膜の容量が大幅に増加して、この容量増加による信号遅延が大きくなり半

導体装置の性能低下をもたらす。特に微細な半導体装置では、回路全体の遅延におよぼす層間膜容量に起因する遅延の占める割合が高くなるため、この遅延の影響は深刻になり、Cuを使用するメリットをなくしてしまうと言う欠点がある。

【0016】第2の従来例のように、配線の周囲にCuシリサイド層を形成した場合、Cu配線の耐酸化性、耐食性及び耐エレクトロマイグレーション性の改善効果があり、しかも層間絶縁膜にSi窒化膜を使用する必要がなくなるため層間容量も増加しない。しかし配線全体の表面積に対する高抵抗なCuシリサイド層の比表面積が大きくなるため、配線抵抗が増加する。

【0017】さらに配線の微細化にともない、配線の体積に対する表面積の割合はより高くなるために配線抵抗の増加率はさらに高くなり、半導体装置の特性低下が生じる。従って抵抗の低いCuを配線の主導電層に採用するメリットがなくなる。また、CuとSiH₄との反応は比較的速いために制御は簡単ではない。そのためシリサイド層の膜厚制御も難しく、ウェーハ面内やロット内で均一な配線抵抗を得る事が難しく、安定した電気特性の半導体装置を得にくいと言う欠点がある。

【0018】第3の従来例のように、エッチング時にCu配線の側壁部にSi酸化膜系の保護膜を形成し、次でTEOSソースを用いてSi酸化膜をCu配線上に形成する手法では、絶縁膜形成時のCuの酸化を防止でき、配線抵抗も増加しない。また層間容量の増加による遅延も起こらない。

【0019】しかしCu配線側壁部の保護膜は導電膜のプラズマエッチング中の非平衡状態で形成される熱的安定性の低いものであり、Cuの拡散防止能力の高いものではない、さらにTEOSソースのプラズマCVD法により形成したSi酸化膜もCuに対するバリア性があり高いものではないため、配線を多層化する際に施される複数回の熱処理によりCuの拡散や酸化が進行して配線間の電流リーク不良や配線抵抗上昇が発生する可能性があり、高い製造歩留や長期信頼性が得にくいと言う欠点がある。

【0020】第4の従来例のように、Cu-Si合金膜表面に自己整合的にSi酸化膜を形成する方法では、CuにSiを添加する事によってCuの電気抵抗が3μΩcm以上にまで増加するため、Cu配線の利点が失われる。さらにSi酸化膜を形成するのに500℃と言う高い温度と、1時間と言う長い時間がかかるため、製造コストが増加するという欠点がある。

【0021】本発明の目的は、Cu配線の電気抵抗増大を最小限に抑制しながら、Cu配線の耐酸化性、耐食性、耐エレクトロマイグレーション性、耐ストレスマイグレーション性などの長期信頼性や製造歩留を向上させることのできる半導体装置およびその製造方法を提供することにある。

【0022】

【課題を解決するための手段】第1の発明の半導体装置は、半導体基板上に設けられた第1絶縁膜と、前記第1絶縁膜上に順次設けられた第1導電膜と第2導電膜および前記銅膜の側面に設けられた銅珪素化合物層より構成される配線と、前記第1絶縁膜および前記配線の上に設けられた第2絶縁膜とを含む事を特徴とするものである。

【0023】第2の発明の半導体装置は、半導体基板上に設けられた第1絶縁膜と、前記第1絶縁膜に形成された配線溝と、前記配線溝中に設けられた銅膜と前記銅膜の底部および側壁部に設けられた第1導電膜および前記銅膜の表面に設けられた銅珪素化合物層より構成される配線と、前記第1絶縁膜および前記配線上に設けられた第2絶縁膜とを含む事を特徴とするものである。

【0024】第3の発明の半導体装置の製造方法は、半導体基板上に第1絶縁膜を形成する工程と、前記第1絶縁膜上に第1導電膜と銅膜と第2導電膜を順次形成する工程と、前記第2導電膜と前記銅膜及び前記第1導電膜をパターニングし配線を形成する工程と、前記配線の側壁部の露出した銅膜表面を銅珪素化合物にする工程と、前記第1絶縁膜および前記配線上に第2絶縁膜を形成する工程とを有する事を特徴とするものである。

【0025】第4の発明の半導体装置の製造方法は、半導体基板上に第1絶縁膜を形成する工程と、前記第1絶縁膜に配線溝を形成する工程と、前記配線溝上を含む全面に第1導電膜および銅膜を順次形成し、前記配線溝を埋める工程と、前記配線溝外部の前記第1導電膜および前記銅膜を除去し前記第1導電膜および前記銅膜より構成される配線を形成する工程と、前記配線上部の露出した銅膜表面を銅珪素化合物層にする工程と、前記銅珪素化合物層表面を含む全面に第2絶縁膜を形成する工程とを有する事を特徴とするものである。

【0026】

【作用】本発明によれば、配線の周囲がCuの酸化防止、Cuの拡散防止、Cuの耐エレクトロマイグレーション性や耐ストレスマイグレーション性の改善に効果的なバリア膜とCuシリサイド層により被覆されたCu配線を、高い制御性、高い均一性および高い再現性のもとで形成できる。

【0027】そのためCu配線上にSi窒化膜よりも非誘電率は低いが成膜時にCuを酸化させてしまう可能性のあるSi酸化膜などの絶縁膜を形成した場合でもCuは酸化はされず、Cu配線の長期信頼性が改善される。さらにCu配線多層化のために複数回の熱処理が加わった場合でも配線や絶縁膜の特性劣化が生じないため、高い性能と高い長期信頼性を有する半導体装置を高い歩留で製造できる。

【0028】

【発明の実施の形態】次に本発明について図面を参照し

て説明する。図1 (a) ~ (d) は本発明の第1の実施の形態を説明する為の製造工程順に示した半導体チップの断面図である。

【0029】まず図1 (a) に示す通り、Si基板1上にSi酸化膜より構成される第1絶縁膜2Aを熱酸化法又はSiH₄と亜酸化窒素 (N₂O) 、あるいはTEOSとO₂を用いたプラズマCVD法により約500nmの厚さに形成する。

【0030】この第1絶縁膜はSi酸化膜に限定されるものではなく、これ以外にSi酸化膜にリン (P) やボロン (B) が含まれたPSG膜やBPSG膜、あるいはポリイミドなどの有機膜でも構わない。またその形成方法についてもプラズマCVD法に限られるものではない。続いて窒化チタン膜 (以下TiN膜) より構成されるバリア膜3Aを、チタンターゲットを用いた反応性スパッタ法により、パワー2.5~5.0kW、圧力2~10mTorrの条件で25~100nmの厚みで形成する。

【0031】次にこのバリア膜3A上にCu膜4をスパッタ法により、成膜パワー2.0~5.0kW、成膜圧力2~10mTorrの条件の下、250~500nmの厚みで形成する。次でこのCu膜4上にTiN膜より構成されるバリア膜3Bをバリア膜3Aと同様の条件により25~100nmの厚みで形成する。

【0032】バリア膜3A、3BはTiN膜に限らず、その他にチタン (Ti) 、バナジウム (V) 、クロム (Cr) 、ジルコニウム (Zr) 、ニオブ (Nb) 、モリブデン (Mo) 、ハフニウム (Hf) 、タンタル (Ta) 、タンクスチタン (W) やこれらのケイ化物、ホウ化物、窒化物、炭化物、およびこれらを含有する合金を用いる事ができる。

【0033】このバリア膜は、配線の主導電層であるCuの酸化やCuの絶縁膜中への拡散の防止、および下層に存在する第1絶縁膜との間の密着性を確保する事を目的として形成される。

【0034】次に、TEOS+O₂をソースとして用いたプラズマCVD法により、バリア膜3B上に厚さ300~500nmの酸化膜を形成して、フォトレジストをマスクとした反応性イオンエッティング法によりパターニングし、配線加工時のエッティング用のマスク5とする。

【0035】次に図1 (b) に示すように、SiCl₄、塩素 (Cl₂) 、アンモニア (HN₃) 及びN₂を用いた反応性イオンエッティング法により、温度280℃、圧力=2Pa、SiCl₄=20sccm、Cl₂=20sccm、HN₃=10~30sccm、N₂=80sccm、N₂=80sccm、RFパワー=200Wの条件でバリア膜3B、Cu膜4およびバリア膜3Aを順次エッティングして配線を形成する。続いてバリア膜3Bの上部に残ったマスク5を、炭素-フッ素系ガスを用いた反応性イオンエッティング法により除去する。

【0036】次に図1(c)に示すように、S1基板1を300℃～400℃に恒温保持された真空室に導入し、圧力50～500PaでSiH₄ガス、あるいはアルゴン(Ar)などの不活性ガスやN₂で希釈したSiH₄ガス6を真空室に導入し、S1基板1をSiH₄ガス6露囲気に曝す。そして配線の側壁部の露出したCu膜とSiH₄ガスを反応させ、厚さ10～20nmのCuシリサイド層7(Cu_xSi_y化合物、x, yは整数)を配線側壁部に形成する。

【0037】配線側壁部に形成されるCuシリサイド層7の組成や膜厚は、圧力、温度、曝露時間、SiH₄ガスの濃度および分圧などにより決定されるが、およそ1分の処理で厚さ5～20nmのCuシリサイド層が形成できる。モノシラン以外にも、同じくSi-H結合を有するジシラン(Si₂H₆)や、Fの結合も有するジフルシラン(SiH₂F₂)などを用いることができる。減圧露囲気下で希釈したSiH₄ガスを用いてCuをシリサイド化させる場合、シリサイド化の反応速度を遅くできる。そのため、薄いCuシリサイド膜を高い均一性と制御性のもとで形成でき、Cu配線の電気特性も安定したものとなる。

【0038】この工程において配線側壁部のCuが酸化されていたり、配線側壁部にSi酸化膜系の堆積物が存在するとCuとSiH₄ガスが反応しにくくなる。そのためCuが酸化されている場合、前処理としてSiH₄導入前に水素(H₂)ガスを導入して400℃程度に加熱してやれば、Cuの酸化物をCuに還元でき、後のシリサイド化反応を促進できる。この前処理はSiH₄ガスを導入する真空室で行ってもよいし、別の真空室で行ってから真空を破らずにSiH₄ガスを導入する真空室に搬送しても良い。

【0039】配線側壁にSi酸化膜系の堆積物が存在する場合には、前処理としてSiH₄導入前に別の真空室でフッ酸(HF)ガスを導入・曝露してやれば、Si酸化膜系の堆積物の除去が可能であり、後のシリサイド化反応を促進できる。この際Cuはエッチングされないが、バリア膜はエッチングされる可能性があるため、バリア膜と堆積物のエッチングレートを考慮して前処理条件を決定する必要がある。

【0040】この前処理は腐食性の強いHFガスを用いるため、SiH₄ガスを導入する真空室とは別の真空室で行い、その後真空を破らずにSiH₄ガスを導入する真空室に搬送する。配線側壁部に薄いCuシリサイド層が形成されると、配線の耐酸化性は大幅に改善され、さらにCuシリサイド層の膜厚は充分に薄いため、配線抵抗はほとんど増加しない。

【0041】続いて図1(d)に示すように、真空を破ることなくTEOS+O₂をソースとして用いたプラズマCVD法により、配線上にSi酸化膜より構成される第2絶縁膜2Bを500～1000nmの厚みで堆積す

る。この絶縁膜の堆積はCuシリサイド層を形成した真空室と同じ真空室で行っても、別の真空室に搬送してから行ってもよい。従来例で示したように、TEOSをソースとしたプラズマCVDではCuの酸化が遅く、さらにCu表面はシリサイド化されているため、第2絶縁膜の堆積時に配線の側壁部はほとんど酸化されない。

【0042】配線側壁部のシリサイド化による表面保護と絶縁膜の堆積を連続プロセスで行うと、工程数を増加させる事なく上述のメリットが得られる。しかし装置の構成上の問題などで、Cuのシリサイド化と絶縁膜堆積の連続真空処理ができない場合や、Cuを酸化しやすいSiH₄+N₂Oを用いたプラズマCVD法により連続真空処理を行う場合には、S1基板を大気に曝露した時の配線表面の吸着O₂やN₂O成分により、絶縁膜堆積時にCuシリサイド層の酸化が起こりやすくなる。その場合は絶縁膜の堆積温度を下げるなどの条件の最適化などが必要となるが、絶対に連続真空処理でなければ不可能と言うわけではない。

【0043】この第2絶縁膜2Bは必ずしもTEOS+O₂のプラズマCVD法により形成されたSi酸化膜である必要はなく、SiH₄+N₂Oを用いたプラズマCVD法により形成したSi酸化膜、TEOS+O₂にフォスフィン(PH₃)やジボラン(B₂H₆)を加えたソースを用いたプラズマCVD法により形成されたPSG膜やBPSG膜であってもよい。また、塗布法により比誘電率の小さなポリイミドなどの有機系材料を形成してもよく、この手法は層間容量の低減に有効である。

【0044】上述した第1の実施の形態で製造した半導体装置は、Cu配線の上下と側壁がCuの酸化防止、Cuの拡散防止、Cuの耐エレクトロマイグレーション性や耐ストレスマイグレーション性の改善に効果的なバリア膜3A、3BとCuシリサイド層7により被覆されている。そのため、Cu配線上にSi酸化膜よりも比誘電率は低いが、成膜時にCuを酸化させてしまう可能性のあるSi酸化膜などの絶縁膜を形成した場合でもCuは酸化されず、Cu配線の長期信頼性が改善される。

【0045】またその製造工程において、Cu配線の多層化のために複数回の熱処理が加わった場合でも配線や絶縁膜の特性劣化が生じないため、高い性能と高い長期信頼性を有する半導体装置を高い制御性、均一性及び再現性そして高い歩留で製造できる。

【0046】上述した半導体装置とその製造方法は、MOS、バイポーラ等の半導体装置の種類を選ばず適用する事ができる。

【0047】図2(a)～(d)は本発明の第2の実施の形態を説明する為の製造工程順に示した半導体チップの断面図である。

【0048】まず図2(a)に示すように、S1基板1上に厚さ500～1500nmのSi酸化膜より構成される第1絶縁膜2Aを既知の手法であるプラズマCVD

法により形成し、続いてフォトレジスト膜をマスクとした反応性イオンエッチング法により第1絶縁膜2Aをエッチングして深さ300~800nmの配線溝8を形成する。次でこの配線溝8を含む全面にTiN膜より構成されるバリア膜3をチタンターゲットを用いた反応性スパッタ法により、パワー2.5~5.0kW、圧力2~10mTorrの条件で25~100nmの厚みで形成する。

【0049】次に図2(b)に示すように、バリア膜3上にCu(HFA)(TMVS)(Copper He 10xa Fluoro Athethylacetone Tri-Methyl Vinyl Silane、Cu(C₅H₆O₂)(C₅H₁₂Si))を原料とした有機ソースを用いるCu-CVD法により厚さ500~1000nmのCu膜4を形成し、配線溝8がバリア膜3とCu膜4で充填されるようにする。Cu-CVD法は原料ソース20~50sccm、キャリアH₂ガス50~200sccm、温度150~250℃、圧力5.0~20.0Paの条件で行うと、平滑で高いステップカバレッジのCu膜を形成する事ができる。

【0050】次でアルミナ(Al₂O₃)微粉末と過酸化水素(H₂O₂)を主成分としたスラリーを用いた化学的機械研磨法(Chemical Mechanical Polishing、以下CMP法)により、配線溝以外の部分に露出したCu膜4とバリア膜3を研磨・除去し、バリア膜3とCu膜4より構成される溝埋め込みのCu配線を形成する。

【0051】次に図2(c)のごとく、Si基板1を300~400℃に恒温保持された真空室に導入し、圧力50~500PaでSiH₄ガス、あるいはArなどの不活性ガスやN₂で希釈したSiH₄ガス6を真空室に導入し、Si基板1をSiH₄ガス6雰囲気に曝す。そして配線上の露出したCu膜4とSiH₄ガスを反応させ、厚さ10~20nmのCuシリサイド層7をCu配線の上部のみに形成する。配線の上部に形成されるCuシリサイド層7の組成や膜厚は、圧力、温度、曝露時間、SiH₄ガスの温度および分圧などにより決定されるが、およそ1分の処理で形成できる。

【0052】シリサイド層7の形成にはSiH₄以外に、同じくSi-H結合を有するジシラン(Si₆H₆)や、Fの結合も有するジフルルシラン(SiH₂F₂)などを用いてもよい。減圧雰囲気下で希釈したSiH₄ガスを用いてCuをシリサイド化させる場合、シリサイド化の反応速度を遅くできる。そのため、薄いCuシリサイド層を高い均一性と制御性のもとで形成できる。この工程において溝埋め込みのCu配線の上部のCuが酸化されるとSiH₄ガスと反応しにくくなる。特にCMP工程ではスラリー中に酸化力の強いH₂O₂が含まれているため、配線の上部のCu表面が酸化されている可能性が高い。その場合、前処理としてSiH₄

導入前に水素ガスを導入して400℃程度に加熱してやれば、Cuの酸化物をCuに還元でき、後のシリサイド化反応を促進できる。この前処理はSiH₄ガスを導入する真空室で行ってもよいし、別の真空室で行ってから真空を破らずにSiH₄ガスを導入する真空室に搬送しても良い。Cu配線の上部に薄いCuシリサイド層が形成されると、配線のCu露出部の耐酸化性が大幅に改善される。しかしCuシリサイド層の膜厚は充分に薄いため、配線抵抗はほとんど増加しない。

【0053】次に図2(d)のように、Cu配線上に、TEOS+O₂をソースとしたプラズマCVD法によりSi酸化膜より構成される第2絶縁膜2Bを500~1000nmの厚みで形成する。第2の実施の形態において適用できる第2絶縁膜の種類や堆積条件は、第1の実施の形態の場合と同様で、Si酸化膜以外にもPSG膜、BPSG膜、ポリイミドなども適用可能である。

【0054】上述の方法で製造した半導体装置は、溝埋め込みCu配線の底部と側壁がバリア膜、配線の上部がCuシリサイドにより被覆されている。そのため、成膜時にCuを酸化してしまう可能性のあるSi酸化膜などの絶縁膜を形成した場合でもCuは酸化されず、Cu配線の長期信頼性が改善される。

【0055】またその製造工程において、Cu配線を多層化するために複数回の熱処理が加わった場合でも配線や絶縁膜には特性劣化が生じないため、高性能と高長期信頼性の半導体装置を高い制御性、均一性及び再現性そして高い歩留で製造できる。

【0056】上述した半導体装置とその製造方法は、第1の実施の形態の場合と同様にMOS、バイポーラ等の半導体装置の種類を選ばず適用する事ができる。

【0057】

【発明の効果】以上説明したように本発明の半導体装置および製造方法は、配線の周囲がCuの酸化防止、Cuの拡散防止、Cuの耐エレクトロマイグレーション性や耐ストレスマイグレーション性の改善に効果的なバリア膜とCuシリサイド層により被覆された構造のCu配線を高い制御性、高い均一性および高い再現性のもとで形成できる。

【0058】そのためCu配線上にSi窒化膜よりも比誘電率は低いが成膜時にCuを酸化してしまう可能性のあるSi酸化膜などの絶縁膜を形成した場合でもCuは酸化されず、Cu配線の長期信頼性が改善される。さらにCu配線多層化のために複数回の熱処理が加わった場合でも配線や絶縁膜の特性劣化が生じないため、高い性能と高い長期信頼性を有する半導体装置を高い歩留で製造できる効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明する為の半導体チップの断面図。

【図2】本発明の第2の実施の形態を説明する為の半導

11

12

体チップの断面図。

【図3】第1の従来例を説明する為の半導体チップの断面図。

【図4】第2の従来例を説明する為の半導体チップの断面図。

【図5】第3の従来例を説明する為の半導体チップの断面図。

【図6】第4の従来例を説明する為の半導体チップの断面図。

【符号の説明】

1, 11 Si基板

2A 第1絶縁膜

2B 第2絶縁膜

3A, 3B バリア膜

4 Cu膜

4A Cu-Si合金膜

5 マスク

6 シランガス

7 Cuシリサイド層

8 溝

12A, 12B Si窒化膜

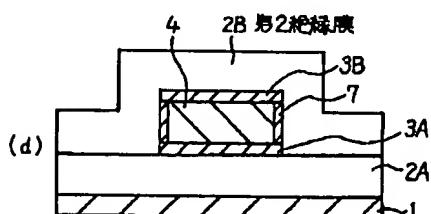
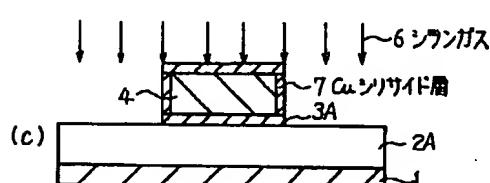
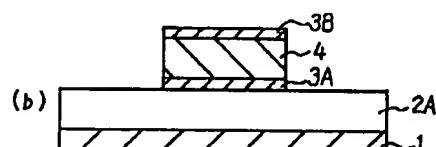
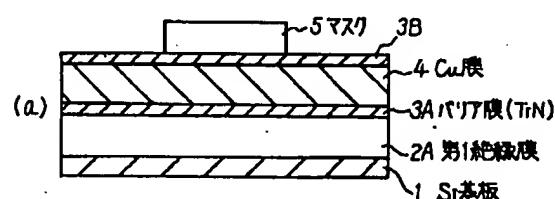
13A, 13B バリア膜

14 第1絶縁膜

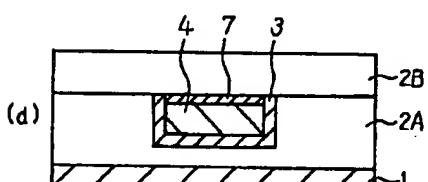
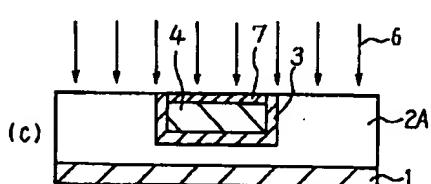
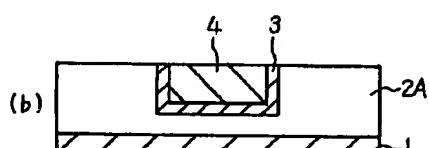
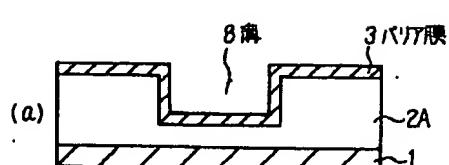
15 プラズマTEOS酸化膜

16 Si酸化膜

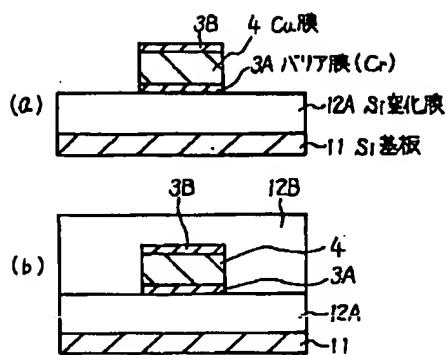
【図1】



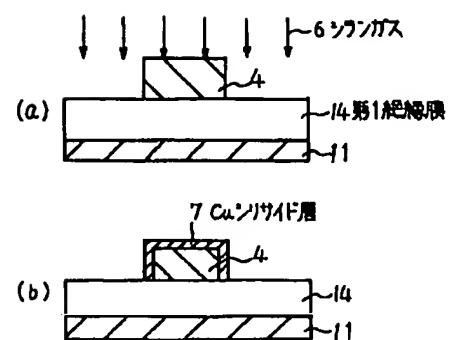
【図2】



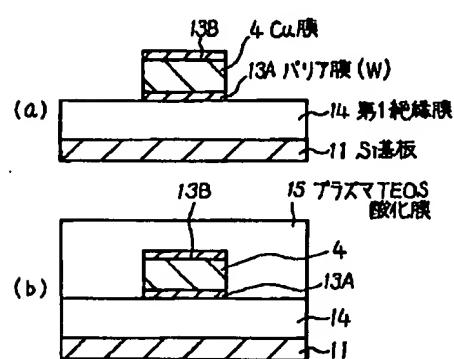
【図3】



【図4】



【図5】



【図6】

